

文章编号:1674-2869(2008)04-0103-05

单周期8位微控制器的时序及流水线设计

邹连英

(武汉工程大学电气信息学院,湖北 武汉 430074)

摘要:分析传统8051微控制器的时序设计可以发现,在12个时钟周期的机器周期架构中存在着巨大的浪费,多数指令被强制去执行哑周期。利用并行技术及流水线技术设计了一个全新的单周期8位微控制器,并详细设计了单周期实现时序及两级流水线技术,最后与传统8位微控制器进行了计算性能对比,可以看出其执行速度比标准8051平均提高10倍左右。

关键词:微控制器;单周期;流水线;并行技术

中图分类号:TN 492

文献标识码:A

0 引言

系统设计者不断地对其基于8051的应用进行改进和升级。然而,对于8051内核的改进却没有跟上,系统设计者似乎不得不转向其它的处理

器,并花费昂贵的代价去重新设计和更新其系统。标准的8051微控制器一般包括的基本功能部件有:中央处理器、程序存储器、数据存储器、定时/计数器、输入/输出接口电路、中断处理器等^[1]。尽管外部晶振的速度已经接近40 MHz,传统的8051仍然要求12个时钟周期才能运行一个机器周期。每条指令需要1到4个机器周期,这就意味着执行一条指令就需要少则12个多则48个时钟周期。这样吞吐率就被限制在仅有3 MIPS,即使是运行一串NOP这样的单周期指令。分析图1所示的传统8051的时序设计可以发现,在12个时钟周期的机器周期架构中存在着巨大的浪费,多数指令被强制去执行哑周期^[2]。因此,许多微控制器生产厂家开始重新设计基于8051指令集的微控制器。

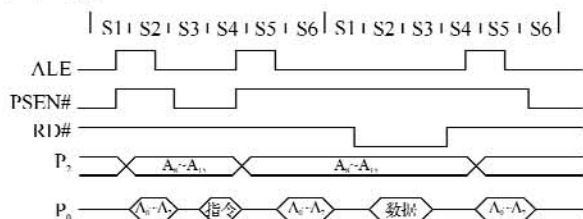


图1 传统8位微控制器的取指令及读数据时序

Fig. 1 Traditional 8-bit MCU instruction timing

目前,有些公司已经成功实现了改进型高速8位微控制器,例如MAXIM公司生产的DS80C400系列微控制器将传统指令执行周期由12个时钟

周期提高到4个时钟周期,美国CYNAL公司的C8051F系列8位单片机也实现了指令执行周期的大幅减少。但是,这些8位微控制器的设计没有从根本上改变控制器的架构,它仍然采用地址/数据复用特性,通过ALE信号分时使用地址和数据,指令的执行过程仍然存在着时钟周期的浪费。因此目前这种架构的8位微控制器的指令执行速度仍然提高不多,无法实现低成本、高速度的要求。

本文设计的单周期8位RISC单片机IP核,采用哈佛式双总线结构,其指令总线 and 数据总线相互分离,同时采用固定长度的指令系统,可获得更快的指令运算速度和更低的硬件实现成本。参考现有微控制器的设计思想^[3],提出了图2描述的单周期流水线微控制器结构。

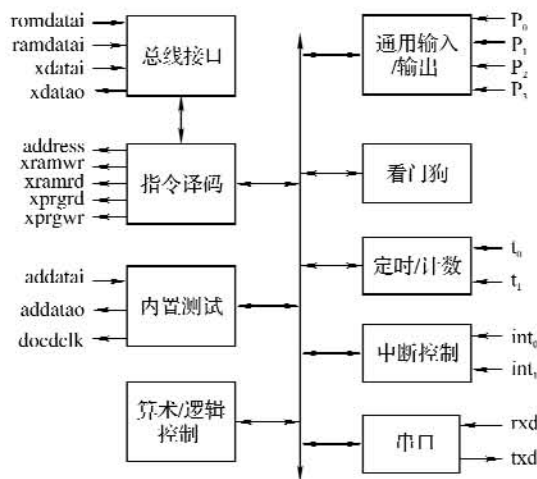


图2 改进型8位微控制器结构

Fig. 2 Improvement 8-bit MCU architecture

为了提高8位微控制器的整体性能,将一般

收稿日期:2007-05-22

作者简介:邹连英(1977-),女,湖北黄冈人,讲师,博士,研究方向:VLSI集成电路设计、嵌入式系统设计。

用于 16 位或 32 位控制器的并行处理技术和流水线技术引入到 8 位微控制器中,采用程序和数据两条并行总线技术,同时设计了两级流水线,加速整个微控制器的指令执行速度,使这个 8 位微控制器具有 16 位控制器的处理能力。

1 单周期 8 位微控制器的时序设计

指令时序直接反映了指令的实现过程^[4],通过时序设计可以很明显看出这个单周期 8 位微控制器与传统 8051 的时序差别。微控制器一个机器周期就是一个时钟周期,因此一个取指周期只需要一个时钟周期就可以完成。这样大部分指令的实现所需的机器周期等于指令的字节数。

256 个指令码对应的指令有一部分是单字节指令,这些指令只需要一个时钟周期就可以执行完成。有一部分是两个字节的指令,因此实现最快需要两个时钟周期。有些指令虽然字节数很少,但是实现需要多个机器周期。最重要的数据访问指令是 MOVX 指令。在标准 8051 中,MOVX 指令通常需要两个机器周期,即 24 个时钟周期。设计了一种灵活使用 MOVX 指令的方式,所需指令周期从 4 个时钟周期到 11 个时钟周期。通过这种灵活的配置方式,可以适用快速和慢速外部存储设备的访问控制。具体时序设计如下。

1.1 单字节单周期指令

大约有三分之一的指令是单周期单字节指令,这类指令从程序空间获取之后就可以同时进行译码和执行,而且这类指令的执行不会影响其它指令的执行过程,因此这类指令执行只需要一个时钟周期就可以完成。例如指令 INC A 就是一个单字节单周期指令,实现累加器 A 加 1 的操作,在此指令从程序空间读出来后进行译码的同时可以产生控制信号高速 ALU 模块对累加器进行加 1 操作。同时下一条指令的地址即 PC 的值加 1 送出。这类指令的时序如图 3 所示。

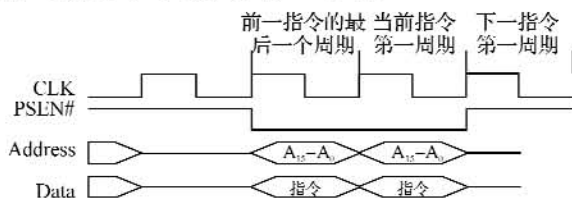


图 3 单字节单周期指令时序

Fig. 3 Single-byte single-cycle instruction timing

1.2 单字节多周期指令

这类指令虽然只需要从程序空间读取一次,但是执行过程比较复杂,无法在一个时钟周期之内完成,因此执行需要多个时钟周期。例如指令

INC Rn 就是一个单字节双周期指令,此指令首先从程序空间取出后需要先进行译码,获取需要加 1 的内部寄存器值,然后将这个值送到 ALU 进行加 1 操作。这个执行过程需要两个周期,因此下一个指令需要在第二个执行周期才可以进行预取动作。这类指令的时序如图 4 所示。

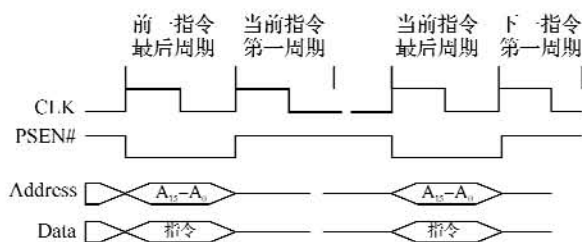


图 4 单字节多周期指令时序

Fig. 4 Single-byte multi-cycles instruction timing

1.3 双字节双周期指令

这类指令含有两个字节,需要两个时钟周期从程序空间分别获取指令和操作数。例如指令 ADD A, #Data 就是一个双字节双周期指令,在取指周期获得指令代码,在译码过程中获取第二个字节即指令的操作数 #Data,然后将控制信号和立即数送到 ALU 模块进行加法运算。在指令进行计算的过程中可以预取下一个指令。这类指令的时序如图 5 所示。

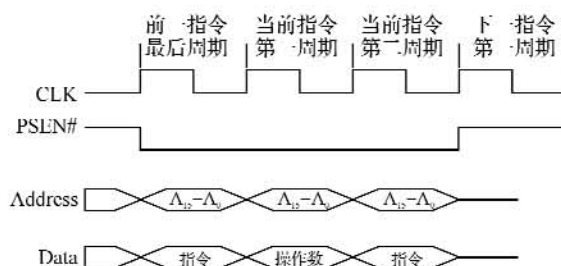


图 5 双字节双周期指令时序

Fig. 5 Double-bytes double-cycles instruction timing

1.4 双字节多周期指令

这类指令含有两个字节,同样需要两个时钟周期从程序空间分别获取指令的操作数,但是指令的执行过程比较复杂,执行需要较多时钟周期。例如指令 DJNZ Rn, rel 就是一个双字节四周期指令,在取出指令之后,进入译码阶段的同时取出操作数 rel 以及 Rn 的值,然后将 Rn 的值送入 ALU 单元进行减 1 操作,计算结果在下一个周期与零值比较产生是否跳转的控制信号,然后再根据此控制信号决定 PC 是否需要与偏移量 rel 进行加法操作。如果跳转条件满足,下一条指令的地址就需要在 PC 与 rel 加法之后产生。因此这类指令执行过程复杂,下一个指令的地址只有在前一条指令执行到最后一个周期才计算出。这类指令的时序

如图6所示。

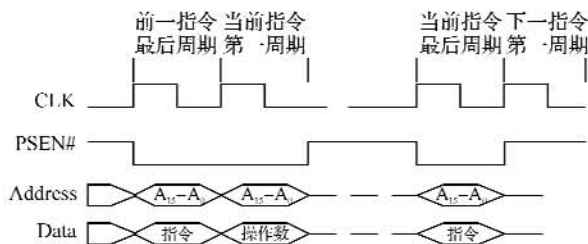


图6 双字节多周期指令时序

Fig. 6 Double-bytes multi-cycles instruction timing

1.5 三字节三周期指令

这类指令含有三个字节,即一个指令码字节和两个操作数字节,需要三个时钟周期才能从程序空间获取相应的指令码和操作数。但是这类指令执行类似于双字节双周期指令,指令的执行过程相对简单,在取操作数的过程中即可同时完成指令的执行。例如指令 MOV direct, #data 就是将一个立即数存入内部可以直接寻址的数据空间,因此,需要两个操作数:立即数和内部数据空间地址。而将这两个操作数获取后就可以立即执行数据存放操作,在执行数据存放的同时可以预取下一条指令。因此,这类指令的时序如图7所示。

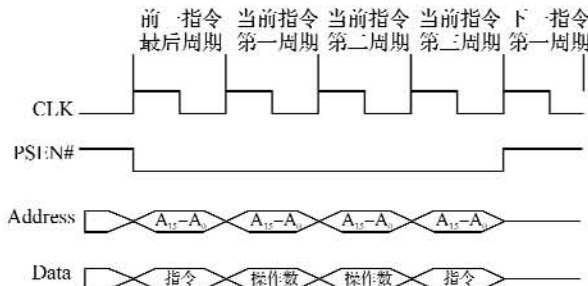


图7 三字节三周期指令时序

Fig. 7 Three-bytes three-cycles instruction timing

1.6 三字节多周期指令

这类指令含有三个字节,包括指令码和两个操作数。但是这类指令通常需要执行间接寻址等比较复杂的操作,执行所需要的时钟周期较多,因此,这类指令的时序类似于双字节多周期指令,其时序如图8所示。

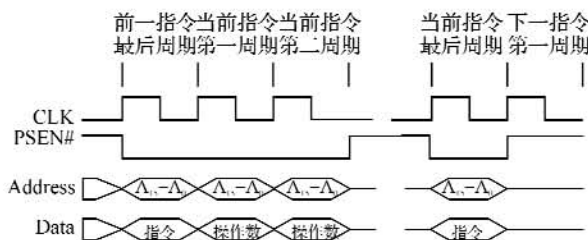


图8 三字节多周期指令时序

Fig. 8 Three-bytes multi-cycles instruction timing

2 流水线设计

为了提高微控制器的运行效率,在重新设计8位微控制器架构的同时,引进流水线设计思想。但是,与所有的流水线一样,当其内部的信息畅通流动时,微控制器的流水线才能工作到最好^[5]。将指令执行过程划分为两个流水线阶段:

(1)取指:将指令从程序空间取出来。

(2)执行:将取出的指令译码执行。

对于典型的指令来说,上述每个操作阶段都只需要一个时钟周期,因此,一个正常的指令需要在2个时钟周期内就可以完成执行。由于流水线有两段,平均每个时钟周期就可以完成一条指令。图9说明了指令执行的流水线过程。



图9 单周期指令流水线图

Fig. 9 Single-cycle instruction pipeline timing

从图9中可以看出,对于连续的单周期指令,在这种流水线技术下平均一个时间周期执行一条指令。但是,并不是在所有的情况下都能保持一个周期一条指令的完成率。对于复杂的指令,不能在单个时钟周期内完成执行阶段,为了兼容通用编译软件,降低设计复杂度,采取延长指令的执行周期,在指令执行周期的最后一个时钟周期进行下一条指令的取指阶段,这样进行的流水线过程如图10所示。

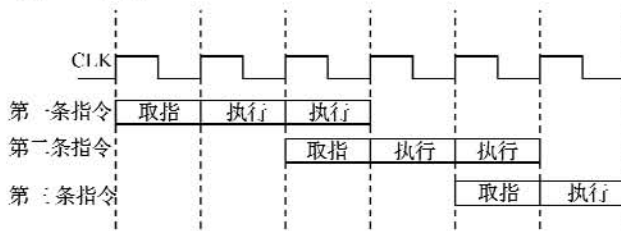


图10 多周期指令流水线图

Fig. 10 Multi-cycles instruction pipeline timing

虽然多周期指令执行起来需要较多的时钟周期,但是对比标准的8051时序图可以发现,现在这种具有流水线技术的微控制器每一个时序都没有浪费,在兼容软件编译器的基础上最大限度的利用了每一个时钟周期。

3 系统仿真与性能分析

为了验证该系统,设计了一个测试平台,如图

11 所示。

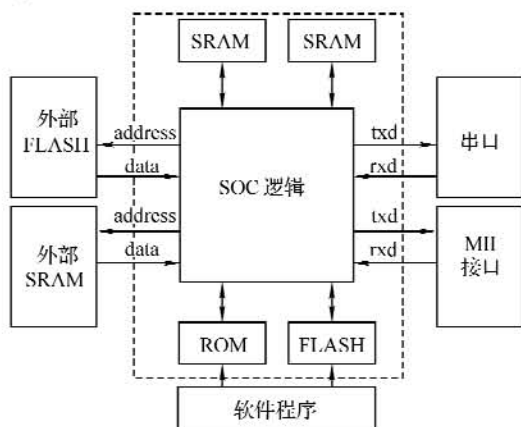


图 11 芯片仿真环境

Fig. 11 Chip simulation

软件工程师利用集成编译工具 Keil 编译了例如 echo server 之类的应用程序,生成相应的汇编程序 hcx 格式文件。片内的 ROM 存储器或 FLASH 存储器采用行为描述方式解释该 hex 文件,

产生微控制器需要的程序数据,微控制器执行相应的程序指令。为了监控程序执行过程,在片外设计一个串口接收器,显示程序的执行结果。

图 12 就是仿真指令执行的部分波形图。从图 12 中可以看出,使用 MOVX 读取外部数据空间的指令需要两个时钟周期,首先从程序空间中将指令送入寄存器 decode,然后根据指令代码判断为外部数据读访问指令,生成 xramrd 控制信号通知外部数据区进行数据读操作。将仿真程序指令执行时钟周期统计,并与传统 8 位单片机进行对比总结如表 1 所示,可以看出单周期 8 位微控制器的执行速度比标准 8051 平均提高 10 倍左右。同时这个微控制器的工作频率设计为 50 MHz,远高于标准 8051 的工作频率。从整体性能上看,全新设计的微控制器 IP 核的处理速度完全可以满足低成本、高速度的运行要求。

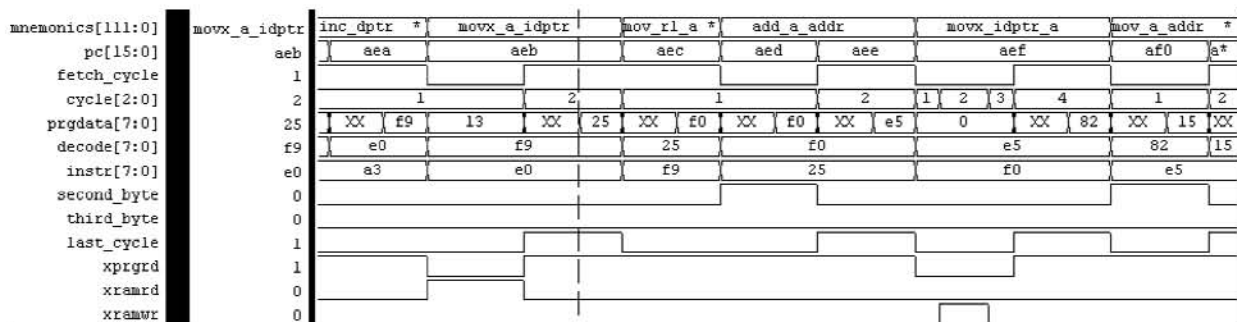


图 12 指令译码仿真过程

Fig. 12 Simulation timing

表 1 两种微控制器性能对比总结

Table 1 Contrast of traditional and improvement 8-bit MCU

指令类型	传统单片机执行时钟周期数	改进型单片机执行时钟周期数	性能改进
8 位立即数加法	36	4	9.0
8 位直接寻址加法	36	4	9.0
8 位间接寻址加法	36	4	9.0
8 位寄存器寻址加法	36	3	12.0
8 位立即数减法	36	4	9.0
8 位直接寻址减法	36	4	9.0
8 位间接寻址减法	36	4	9.0
8 位寄存器寻址减法	36	3	12.0
8 位乘法	96	6	16.0
8 位除法	96	10	9.6
16 位加法	72	6	12.0
16 位减法	84	7	12.0
16 位乘法	312	23	13.6
平均性能改善比例			10.8

4 结 语

上述 8 位单周期单片机 IP 核已经在世纪民生的以太网控制器芯片中使用 TSMC 0.35 μm 工艺

流片验证,该芯片可以支持 50 MHz 的系统时钟。以上分析了传统 8 位微控制器设计时序,指出了传统 8 位微控制器设计的不足,然后利用并行技术及流水线技术设计了一个全新的单周期 8 位微控制器,对比这个微控制器与传统 8051 的执行性能,可以看出其执行速度比标准 8051 平均提高 10 倍左右。

参考文献:

- [1] 冯博琴. 微型计算机原理与接口技术[M]. 北京:清华大学出版社,2002:30-45.
- [2] 李 丽,高明伦,张多利,等. 8 位 RISC 微控制器 IP 软核的设计[J]. 微电子学与计算机,2001,(18): 10-14.
- [3] Gschwind M, Salapura V, Maurer D. FPGA prototyping of a RISC processor core for embedded applications[J]. IEEE Transactions on Very Large Scale Integration(VLSI) Systems, 2001, 9(2): 241-250.
- [4] Sweetman D. MIPS 处理器设计透视[M]. 赵俊良

- 译. 北京:北京航空航天大学出版社,2005:213-256.
- [5] Clark L T, Hoffman E J, Miller J, et al. An embedded 32-b microprocessor core for low-power

and high-performance applications[J]. IEEE Journal of Solid-State Circuits, 2001, 36(11): 1599-1608.

Timing and pipeline technology of a novel single-cycle 8-bit microcontroller

ZOU Lian-ying

(School of Electrical and Information Engineering, Wuhan Institute of Technology, Wuhan 430074, China)

Abstract: By analyzing the characteristic of traditional 8051 microcontroller, we found that there are great time wastes on twelve cycle architecture. In order to improve the 8-bit microcontroller's performance, we design and implement a one-cycle 8-bit microcontroller, using parallel technology and pipeline technology. This paper described the time sequence of one cycle architecture and its two stage pipeline technology in detail. Compared with traditional 8 bit microcontroller, the new one cycle architecture's speed of operation is about ten times more than traditional 8-bit architecture.

Key words: microcontroller; one cycle; pipeline; parallel technology

本文编辑:陈晓革



绿色化工过程省部共建教育部重点实验室 2008年学术委员会年会隆重召开

2008年6月14日,绿色化工过程省部共建教育部重点实验室学术委员会年会在武汉工程大学化工与制药学院实验大楼四楼会议室隆重召开,湖北省教育厅科技处赵泽刚处长出席了开幕式并做了讲话,李杰校长致欢迎词,开幕式由汪建华副校长主持.开幕式后进行了学术委员会年会,会议由校党委书记吴元欣教授主持,大会听取了丁一刚副主任所做的工作报告.各位委员对工作报告、学科发展方向进行了热烈的讨论,提出了很多宝贵的意见.最后,审议了重点实验室开放基金资助的项目.

绿色化工过程省部共建教育部重点实验室于2007年7月18日获批立项建设,2007年在学科建设、科学研究、研究成果、队伍建设、人才培养以及实验室管理等方面均取得了较好的成绩.

全年科研经费达4195万元,承担了63项纵向课题和204项横向课题,新增国家级项目11项.出版学术著作2部,在国内外学术刊物和学术会议上发表论文265篇,其中SCI、EI等四大检索收录刊物发表论文87篇.有2项科研成果分别获得湖北省技术发明三等奖和湖北省科技进步三等奖,有7项成果在湖北省科技厅和武汉市科技局组织的鉴定会上获得“国际先进”的鉴定结论.获得授权发明专利10项,科研成果转化取得较大进展,直接经济效益近10亿元.

引进和培养包括楚天学者在内的各类人才15名,研究生培养规模和质量日益提高.通过多种形式进行学术交流,承办了4次重大的全国性学术会议,先后邀请了24位国内外专家学者来实验室讲学,派出参加国内外学术会议的人数达66人次.设立了开放基金,其金额共计11.7万元.